(54) SIGNAL AMPLITUDE CONTROL INPUT CIRCUIT

(11) 3-212022 (A)

(43) 17.9.1991 (19) JP

(21) Appl. No. 2-7430

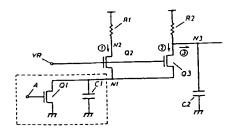
(22) 17.1.1990

(71) MATSUSHITA ELECTRIC IND CO LTD (72) MASANOBU HIROSE

(51) Int. Cl⁵. H03K19/0944,H03K17/04,H03K19/017

PURPOSE: To quicken the rise time of a signal amplitude control input circuit by providing two series of paths charging an external load capacitor.

CONSTITUTION: Charging paths to an external load capacitor C1 are path (1) from a power supply (VCC) via a charging resistor R1 and a MOS TR Q2 and a path (2) via a charging resistor R2 and a MOSTR Q3. Moreover, an external load capacitor C1 and a gate circuit connecting the connection of the charging paths of two series are provided. Thus, the rising delay time of the signal amplitude control input circuit is quickened and the switching characteristic is improved.



(54) FREQUENCY SYNTHESIZER

(11) 3-212024 (A)

(43) 17.9.1991

(21) Appl. No. 2-7831

(22) 17.1.1990

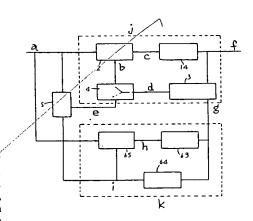
(71) FUJITSU LTD (72) YOICHI ENDO(1)

(51) Int. Cl⁵. H03L7/22

PURPOSE: To prevent the response of opposite polarity at the time of pulling in an initial frequency and phase without deteriorating a noise characteristic and a spurious characteristic of a frequency synthesizer by mixing an output signal and an external input signal, applying 1/N frequency division to the mixed signal being a 1st frequency division signal, and controlling the input

of it to be inputted to a 1st phase comparison means.

CONSTITUTION: A control means 5 detects whether or not a reference signal and a 2nd frequency division signal obtained from 1/M frequency division (M is a positive integer) to the output signal of a 2nd voltage controlled oscillator 63 at a frequency divider 64 are in synchronizing state and outputs a 3rd control signal representing a corresponding state. A switch 4 mixes an output signal and an external input signal according to a state of the 3rd control signal, and a 1st frequency division signal obtained through 1/N frequency division (N is a positive integer) to the mixed signal and the resulting frequency division signal is controlled to be inputted to a 1st phase comparison means 2 as an input signal. Thus, the noise characteristic and the spurious characteristic of the frequency synthesizer are not deteriorated and the response of opposite polarity at the time of pulling in initial frequency and the phase is prevented.



14: 1st voltage controlled oscillator. 3: mixing/frequency 14: 1st voltage controlled oscillator. 3: hiking/frequency dividing means, 65: 2nd phase comparison means, a: reference signal, b: input signal, c: 1st control signal, d: 1st frequency division signal, e: 3rd control signal, f: output signal, g: external input signal, h: 2nd control signal, i: 2nd frequency division signal, j: 1st phase locked loop circuit, k: 2nd phase locked loop circuit

(54) SERIAL-PARALLEL ANALOG/DIGITAL CONVERTER

(11) 3-212025 (A)

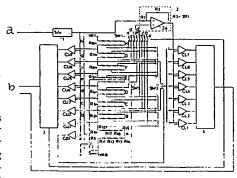
(43) 17.9.1991 (19) JP

(21) Appl. No. 2-7880 (22) 17.1.1990

(71) CANON INC (72) EIJI OHARA (51) Int. Cls. H03M1/14

PURPOSE: To provide nonlinear characteristic with polygonal line approximation while keeping small area, low power consumption and high accuracy by selecting at least either of amplification factor of a differential amplifier and a 2nd reference potential of a low order bit comparator with an inflection point of

the nonlinear characteristic as a boundary. CONSTITUTION: This converter is constituted of a sample-hold circuit 1, a subtraction amplifier circuit 2 composed of a differential amplifier 2a and resistors R1, R2, a high-order encoder circuit 3, a low-order encoder circuit 4, high-order bit comparators CU1-CU7, low-order bit comparators CL1-CL7, a comparator CD1 discriminating the inflection point, ladder resistors R1n-R16n and switching circuits SW1-SW4. Then at least either of the amplification factor of the differential amplifier 2a and the 2nd reference potential of the low-order bit comparators CL1-CL7 is selected by taking the inflection point of the nonlinear characteristic as the boundary. Thus, nonlinear characteristic by polygonal line approximation is attained while keeping small area, low power consumption and high accuracy.





⑲ 日本国特許庁(JP)

①特許出願公開

⑫ 公 開 特 許 公 報(A) 平3-212022

SInt. Cl. 5

識別記号

庁内整理番号

❸公開 平成3年(1991)9月17日

H 03 K 19/0944 17/04 19/017

E

7125-5 J 8941-5 J 8941-5 J

H 03 K 19/094

Α

審査請求 未請求 請求項の数 1

(全5頁)

会発明の名称

信号振幅制御入力回路

②特 願 平2-7430

20出 願 平2(1990)1月17日

⑫発 明 者

広 瀬

雅庸

大阪府門真市大字門真1006番地 松下電器産業株式会社内

の出 願 人

松下電器産業株式会社

大阪府門真市大字門真1006番地

個代 理 人

弁理十 栗野 重孝

外1名

明 細 曹

1、発明の名称

信号振幅制御入力回路

2、特許請求の範囲

3、発明の詳細な説明

産業上の利用分野

本発明はオープンドレインタイプの出力に直接接続できる信号振幅制御入力回路に関する。

従来の技術

近年、プリッとは、ア

以下、従来の信号振幅制御入力回路について説明する。第3図は、オープンドレインタイプの出力部と、従来の信号振幅制御入力回路の構成を示すものである。Q10はオーブンドレインタイプ

の出力部のMOSトランジスタ、Q111はノードN10とN11の接続を制御するためのMOSトランジスタであり、ゲート入力端子Aに、信号振幅を制御する基準電位VRが与えられている。前記基準電位VRは一般に電源電圧(VCC)に接続されている。R10は抵抗であり、電源(VCC)に接続されている。C10はオープンドレインの出力を持ついる。C10はオープンドレインの出力を持ついる。C10はオープンドレインの出力を持ついる。C10はオープンドレインの出力を持ついる。C10はオープンドレインの出力を持つ回路を持つ端子容量と、前記信号振幅制御入力回路を表面の発動である。C11は前記信号振幅制御入力回路の次段の負荷容量と称す)である。

以上のように構成された従来の信号振幅制御入力回路について、以下その動作を第4図とともに説明する。第3図のようにMOSトランジスタQ10のゲート入力端子AがVCCレベルからOvに変化すると、ノードN10はMOSトランジスタQ11、充電抵抗R10を介して電源(VCC)に接続さ

し、ノードN10の電位が下がり始める。ノードN10の電位が下がると、前記基準電位 V R とノードN10の電位差がM O S トランジスタ Q 1 1 のしきい値電圧以上になり、M O S トランジスタ Q 1 1 も導通する。したがって、ノードN11は M O S トランジスタ Q 1 0 、Q 1 1 を介して接地電位 (V C C) に接続され、ノードN11は充電抵抗 R 1 0 と、M O S トランジスタ Q 1 0 、Q 1 1 の "O N"抵抗の和のレシオで決まる電位まで放電され、レベルとなる。

以上のように半導体装置間のノードであるN10は、最高電位は前記基準電位(VR)と、MOSトランジスタQ11のしきい値電圧(VTQ11)の差すなわちVR-VTQ11、最低電位は充電抵抗R10とMOSトランジスタQ10、Q11の"ON"抵抗の和のレシオで決まる値の間を振れることになり、信号振幅が小さく不要輻射の少ない信号伝達方式が得られることになる。

発明が解決しようとする課題

しかしながら、上記従来の構成では、MOSト

れており、時刻 t から to の期間、容量 C 1 0 と C 1 1 及び充電抵抗 R 1 0 と M O S トランジスタ Q11のON抵抗で決まる時定数で充電される。 一方ノードN11は充電抵抗R10と内部負荷容 量Cllで決まる時定数で充電される。次に前記 基準電位VRとノードN10の電位差がMOSト ランジスタQ11のしきい値電圧までノードN10 が充電されると、MOSトランジスタQ11は遮 断され、ノードN10の電位はこれ以上にはなら ず、MOSトランジスタQ10が導通するまで保 持される。MOSトランジスタQ11が遮断され たことによって、ノードN10とN11は切り離 されたことになり、充電抵抗R10を介して充電 すべき負荷容量は内部負荷容量はC11のみとな るので、第4図に示すようにノードN11の立ち 上がり時間は、tェからt2のように急峻に立ち上 がり、Hレベルとなる。逆にMOSトランジスタ Q10のゲート入力端子AがOvからVCCレベ ルまで変化すると、MOSトランジスタQ10は 導通して、前記外部負荷容量C10の電荷を放電

ランジスタQ10ゲート入力端子Aの電位がVCC からOvに変化した場合、すなわち、ノードN11 にHレベルを得ようとした場合に、ノードN11 に直接前記内部負荷容量C11が接続されている 為、第4図に示すようにノードN11の立ち上が りは瞪やかとなる。したがってMOSトランジス タロ11を流れる電流量は小さく、前記外部負荷 容量 С 1 0 を 充電 する 充電 速度 が 遅く なり、 ノー ドN10の立ち上がりも暖やかなものとなる。こ の為MOSトランジスタQ11が遮断するまでの 時間、すなわちノードN10とN11を切り離す までの時間(toからti)が非常におそくなり、 結果としてノードN11がLレベルからHレベル になる間の立ち上がり、時間が非常におそくなる という問題を有していた。この立ち上がり時間を 早くする為には、充電抵抗R10を低抵抗として 充電速度の高速化を計ることが考えられるが、こ の場合、MOSトランジスタのゲート入力端子A がLレベルの際に、充電抵抗R10を介して半導 体装置内に流れる入力電流が大きくなり、消費電

力が増大するという別の問題を発生する。 本発明は、上記従来の課題を解決するもので、前記信号振幅制御入力回路の立ち上がり時間を早くすることによって高速動作を可能とし、しかも低消費電力を実現できる、信号振幅制御入力回路を提供することを目的とする。

課題を解決するための手段

この目的を達成する為に本発明の信号振幅制御 入力回路は、信号振幅制御入力回路の次段の内部 負荷容量を充電する充電抵抗と、外部負荷容量を 専用に充電する充電抵抗の2系統の充電経路を有 し、前記外部負荷容量と前記2系統の充電経路の それぞれの接続を制御するゲート回路を持つとい う構成を有している。

作用

この構成によって、信号振幅制御入力回路の立ち上がり遅延時間を大幅に早くでき、スイッチング特性が飛躍的に向上すると共に、低消費電力を実現することができる。

実 施 例

がVCCレベルからOvに変化すると、それまで 導通していたMOSトランジスタQ1が遮断さ れ、前記外部負荷容量C1への充電が開始され る。この時MOSトランジスタQ2とQ3は導通 常態にあり、前記外部負荷容量C1への充電経路 は、電源(VCC)から充電抵抗R1と、MOS トランジスタQ2を介する経路①と、充電抵抗R 2と、MOSトランツスタQ3を介する経路②の 2 つがあり、前記2つの充電経路より前記外部負 荷容量 С 1 を充電する。又前記充電抵抗路 R 2 は 前記充電経路②とは別に、前記外部負荷容量 С 2 を充電することが主目的である。前記外部負荷容 量C1が充電され、ノードN1の電位がMOSト ランジスタQ2、Q3のしきい値電圧に達する と、MOSトランジスタQ2,Q3は遮断され、 充電経路は充電抵抗R2を介して前記内部負荷容 量C2を充電する経路③のみとなる。この為第2図 のようにノードN3の立ち上がりはtィからt2の ように急峻となり、Hレベルを得ることができる。 逆にオープンドレインタイプのMOSトランジス 以下、本発明の一実施例について、図面を参照しながら説明する。

以上のように構成された本実施例の信号振幅制御入力回路について、以下その動作を説明する。

まず第2図のように、時刻t゚でオープンドレインのMOSトランジスタQ1のゲード入力端子A

タQ1のゲート入力端子AがOvからVCCレベルに変化した時、MOSトランジスタQ1は導通し、ハードN1の電位を放電し、ハードN1の電位が下がるとハードN1の電位が下がるとハードN1の電位を対したのでは、MOSトランジスタQ3のではは、一では地電位(VCC)に放し、ハードN3の電位は、充電低抗R2とは、ハードN3の電位は、充電低抗R2とができる。

以上のように本実施例によれば、オープンドレーインタイプのMOSトランジスタQ1ゲート入力端子Aの信号入力レベルがHレベルからLレベルに変化した時、すなわち半導体装置への入力信号がHレベルであることを検出する場合、前記外部負荷容量C1を充電する系路として、前記充電軽

路①と前記充電経路②の2つの充電経路を持って おり、従来例の充電抵抗R10の抵抗値と、本実 施例の充電抵抗R1とR2の抵抗値の和が同じで あり、前記充電抵抗の比はR1の方が小さく(例 えば3:7に)しておくと、ノードN2には従来 例のように内部負荷容量が存在しなくなるので、 立ち上がりが非常に早くなる。したがって、MOS トランジスタQ2を流れる電流が大きくなる。加 えて前記充電経路②からの充電もあるので、前記 外部負荷容量C1の充電速度は非常に高速にな る。前記外部負荷容量C1の充電速度が早くなる ということは、MOSトランジスタQ3が遮断 し、ノードN1とN3が切り離されるのが速くな るので、結果としてノードN3のHレベルへのス イッチングが高速に行えることになる。ここで、 充電抵抗R1とR2の比でR2 方が大きく、従 来例と比較して、内部負荷容量C2を充電する能 力が小さいが、前記内部負荷容量C2は前記外部 負荷容量C1に比べて十分小さく、充電速度に大 きな影響はない。逆にMOSトランジスタQ1の入 力端子AがLレベルからHレベルになると、MOSトランジスタQ2、Q3が導通し、電源(VCC)から充電抵抗R1、MOSトランジスタQ2を介する経路と、充電抵抗R2、MOSトランジスタQ3を介する経路から、接地電位(VCC)に電流が流れ、又前記負荷容量C2の電荷も放電電流にノードN3はLレベルとなるが、この時の電流抵け、充電抵抗R1とR2の和が従来例の充電抵抗R10と同じにすれば、従来と同じように小さくでき低消費電力を実現できる。

発明の効果

4、図面の簡単な説明

第1図は本発明の一実施例における信号振幅制御入力回路を示す回路図、第2図は第1図の動作を示すタイミング図、第3図は従来の信号振幅制御入力回路の回路図、第4図は第3図の動作を示すタイミング図である。

Q1. Q2. Q3……MOSトランジスタ、VR……基準電位、C1……外部負荷容量、C2……内部負荷容量、R1……充電抵抗、R2……充電抵抗。

代理人の氏名 弁理士 栗野重孝 ほか1名

